

HB
PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Takeshi INADA

Serial No. (unknown)

Filed herewith

ENCRYPTION-DECRYPTION APPARATUS



CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's corresponding patent application filed in Japan on April 19, 2000, under 2000-118269.

Applicant herewith claims the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By Benoit Castel
Benoit Castel
Attorney for Applicant
Customer No. 000466
Registration No. 35,041
745 South 23rd Street
Arlington, VA 22202
703/521-2297

April 18, 2001

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1036 U.S. PTO
09/836172
04/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 4月19日

出願番号
Application Number:

特願2000-118269

出願人
Applicant(s):

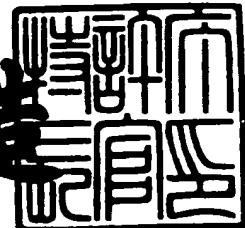
日本電気通信システム株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願
 【整理番号】 01612076
 【あて先】 特許庁長官殿
 【国際特許分類】 G09C
 G06F
 H03M
 H04L

【発明者】

【住所又は居所】 東京都港区三田一丁目4番28号
 日本電気通信システム株式会社内

【氏名】 稲田 剛

【特許出願人】

【識別番号】 000232254
 【氏名又は名称】 日本電気通信システム株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114193

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 暗号復号化装置

【特許請求の範囲】

【請求項1】 データの暗号化と暗号化データの複合化を行う暗号復号化装置において、暗号化復号化する回路を可変可能な回路装置を用い、前記可変可能な回路装置の回路データを秘密鍵として暗号化複合化を行うことを特徴とする暗号復号化装置。

【請求項2】 前記可変可能な回路装置の回路データを複数個有し、暗号化複合化を行うための回路データ選択情報から、前記可変可能な回路装置の回路データを選択し供給することで異なるアルゴリズムの暗号化複合化を行うことを特徴とする請求項1記載の暗号化復号化装置。

【請求項3】 入力データを暗号化し暗号化データを出力する送信装置と、前記暗号化データを伝送するネットワーク網と、このネットワーク網を介して伝送されてきて前記暗号化データを入力し、暗号解読を行い復号化した出力データを出力する受信装置とを備え、

前記送信装置は暗号化する可変処理回路と、この可変処理回路に秘密鍵の回路データを出力するリード・オンリー・メモリ(ROM)とを有し、前記受信装置は復号化する可変処理回路と、この可変処理回路に秘密鍵の回路データを出力するリード・オンリー・メモリ(ROM)とを有していることを特徴とする暗号復号化装置。

【請求項4】 入力データを暗号化し暗号化データを出力する送信装置と、前記暗号化データを伝送するネットワーク網と、このネットワーク網を介して伝送されてきた前記暗号化データを入力し暗号解読を行い復号化した出力データを出力する受信装置とを備え、

前記送信装置は、

前記入力データを決められた指定通りに情報を解析し、デコードして書き換え情報を出力するデータ解析部と；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記書き換え情報の指示に従い前記複数のROMを選択し、選択したROMか

ら暗号化する回路データを送出するセレクターと；

どのROMを選択するかにより暗号アルゴリズムを指定する前記回路データをもとに、自己の内部回路を書き換え、この内部回路の回路変更が完了すると終了通知信号を出力し、入力保持データを暗号化した暗号化データを前記ネットワーク網に送出する可変処理回路と；

前記終了通知信号を受け、それまで保持していた前記入力データを、暗号化する前記可変処理回路に前記入力保持データとして出力する暗号／復号化データ保持部と；

を有し、

前記受信装置は、

前記ネットワーク網から入力された前記暗号化データを決められた指定通りに情報を解析し、デコードして書き換え情報を出力するデータ解析部と；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記書き換え情報の指示に従い前記複数のROMを選択し、選択したROMから復号化する回路データを送出するセレクターと；

どのROMを選択するかにより暗号アルゴリズムを指定する前記回路データをもとに、暗号を復号化するため自己の内部回路を書き換え、この内部回路の回路変更が完了すると終了通知信号を出力し、入力保持データの暗号化データを復号化した復号出力データを送出する可変処理回路と；

前記終了通知信号を受け、それまで保持していた前記暗号化データを、復号化する前記可変処理回路に前記入力保持データとして出力する暗号／復号化データ保持部と；

を有することを特徴とする暗号復号化装置。

【請求項5】 入力データを暗号化し暗号化データを出力する送信装置と、前記暗号化データを伝送するネットワーク網と、このネットワーク網を介して伝送されてきた前記暗号化データを入力し暗号解読を行い復号化した出力データを出力する受信装置とを備え、

前記送信装置は、

前記入力データを決められた指定通りに情報を解析し、解析データを出力する

データ解析部と；

暗号アルゴリズムを指定する回路データを保持する複数のデータ回路部と；

前記データ解析部からの前記解析データをもとに選択信号を出力し、回路構成を変更する第1の回路データを入力し、第2の回路データを生成出力するフィールド・プログラマブル・ゲートアレイ（Field Programmable Gate Array：以下FPGAと記す）回路データ生成部と；

前記選択信号の指示に従い、複数の回路データを選択し、選択した回路データから暗号化する前記第1の回路データを前記FPGA回路データ生成部に出力するセレクターと；

前記FPGA回路データ生成部が出力する前記第2の回路データをもとに、自己の内部回路を書き換え、この内部回路の回路変更が完了すると終了通知信号を出力し、入力保持データを暗号化した暗号化データを前記ネットワーク網に送出する可変処理回路と；

前記終了通知信号を受け、それまで保持していた前記入力データを新たに前記入力保持データとして前記可変処理回路に出力する暗号／復号化データ保持部と；

を有し、

前記受信装置は、

前記ネットワーク網から入力された前記暗号化データを決められた指定通りに情報を解析し、解析データを出力するデータ解析部と；

前記データ解析部からの前記解析データをもとに選択信号を出力し、回路構成を変更する第1の回路データを入力し、第2の回路データを生成出力するFPGA回路データ生成部と；

暗号アルゴリズムを指定する回路データを保持する複数のデータ回路部と；

前記選択信号の指示に従い、複数の回路データを選択し、選択した回路データから暗号を復号化する前記第1の回路データを前記FPGA回路データ生成部に出力するセレクターと；

前記FPGA回路データ生成部が出力する前記第2の回路データをもとに、暗号を復号化するため自己の内部回路を書き換え、この内部回路の回路変更が完了

すると終了通知信号を出力し、入力保持データの暗号化データを復号化した復号出力データを送出する可変処理回路と；

前記終了通知信号を受け、それまで保持していた前記入力データを新たに前記入力保持データとして前記可変処理回路に出力する暗号／復号化データ保持部と；

を有することを特徴とする暗号復号化装置。

【請求項6】 前記送信装置が、

前記入力データを入力保持し、終了通知信号を受けると保持していた前記入力データを保持データとして出力する暗号／復号化データ保持部と；

暗号アルゴリズムのデータを記憶するフラッシュROMと；

前記入力データを入力し、第1の回路データを前記フラッシュROMに出力し、この第1の回路データによりフラッシュROMのデータを書き換え、書き換え終了後前記フラッシュROMからの第2の回路データを入力し、自己の内部回路の変更を行い、この内部回路変更後に前記終了通知信号を前記暗号／復号化データ保持部に出力するとともに前記保持データを暗号化した出力データを出力する可変処理回路と；

を有し、

前記受信装置が、

前記暗号化した出力データを入力保持し、終了通知信号を受けると保持していた前記出力データを保持データとして出力する暗号／復号化データ保持部と；

暗号アルゴリズムのデータを記憶するフラッシュROMと；

前記暗号化した出力データを入力し、第1の回路データを前記フラッシュROMに出力し、この第1の回路データによりフラッシュROMのデータを書き換え、書き換え終了後前記フラッシュROMからの第2の回路データを入力し、自己の内部回路の変更を行い、この内部回路変更後に前記終了通知信号を前記暗号／復号化データ保持部に出力するとともに前記保持データの暗号を復号化した出力データを出力する可変処理回路と；

を有することを特徴とする請求項3、4又は5記載の暗号復号化装置。

【請求項7】 前記送信装置が、

前記入力データを入力し、回路データを生成出力する回路データ抽出部と；

前記入力データを回路変更終了まで保持し、終了通知信号を受けると、保持していた前記入力データを保持データとして送出する暗号／復号化データ保持部と；

前記回路データにより暗号化する回路変更を行い、回路変更後前記終了通知信号を前記暗号／復号化データ保持部に出力し、変更後の回路構成によって暗号化を行った出力データを出力する可変処理回路と；

を有し、

前記受信装置が、

前記暗号化を行った出力データを入力し、回路データを生成出力する回路データ抽出部と；

前記出力データを回路変更終了まで保持し、終了通知信号を受けると、保持していた前記暗号化を行った出力データを保持データとして送出する暗号／復号化データ保持部と；

前記回路データにより復号化する回路変更を行い、回路変更後前記終了通知信号を前記暗号／復号化データ保持部に出力し、変更後の回路構成によって復号化を行った出力データを出力する可変処理回路と；

を有することを特徴とする請求項3、4又は5記載の暗号復号化装置。

【請求項8】 前記送信装置が、

前記入力データを入力保持し、回路変更通知信号を入力すると、保持していた前記入力データを保持データとして出力する暗号／復号化データ保持部と；

暗号化コードを生成するランダム発生器と；

前記入力データが暗号化したいデータであるか復号化したいデータであるかを判定し、暗号化したいデータである場合は、前記ランダム発生器からのデータを有効にするように通知し、復号化したいデータである場合は、暗号鍵を有効にするように通知する解析データを出力するデータ解析部と；

前記解析データの通知に従い第1の回路データを生成出力するFPGA回路データ生成部と；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記第1の回路データをもとに前記複数のROMから回路データを取り込み、暗号アルゴリズムを指定する第2の回路データを出力するセレクターと；

前記第2の回路データを入力すると前記暗号／復号化データ保持部からの前記保持データの送出を止めるように前記回路変更通知信号を出力し、前記第2の回路データによって暗号化する自己の内部回路を変更し、変更が終了すると前記回路変更通知信号を停止し、再び前記保持データを送出させ、暗号化した出力データを出力する可変処理回路と；

を有し、

前記受信装置が、

前記暗号化した出力データを入力保持し、回路変更通知信号を入力すると、保持していた前記出力データを保持データとして出力する暗号／復号化データ保持部と；

暗号化コードを生成するランダム発生器と；

前記暗号化した出力データが暗号化したいデータであるか復号化したいデータであるかを判定し、暗号化したいデータである場合は、前記ランダム発生器からのデータを有効にするように通知し、復号化したいデータである場合は、暗号鍵を有効にするように通知する解析データを出力するデータ解析部と；

前記解析データの通知に従い第1の回路データを生成出力するFPGA回路データ生成部と；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記第1の回路データをもとに前記複数のROMから回路データを取り込み、暗号アルゴリズムを指定する第2の回路データを出力するセレクターと；

前記第2の回路データを入力すると前記暗号／復号化データ保持部からの前記保持データの送出を止めるように前記回路変更通知信号を出力し、前記第2の回路データによって復号化する自己の内部回路を変更し、変更が終了すると前記回路変更通知信号を停止し、再び前記保持データを送出させ、復号化した出力データを出力する可変処理回路と；

を有することを特徴とする請求項3、4又は5記載の暗号復号化装置。

【請求項9】 前記複数のROMデータが、複数のハードウェア化されたデ

ータ回路からのデータであり、前記セレクターが出力する回路データを第1の回路データとして前記FPGA回路データ生成部に出力し、このFPGA回路データ生成部が出力する第2の回路データを前記可変処理回路に出力することを特徴とする請求項8記載の暗号復号化装置。

【請求項10】 前記送信装置が、

前記入力データを入力保持し、回路変更通知信号を入力すると、保持していた前記入力データを保持データとして出力する暗号／復号化データ保持部と；

ある期間毎にセレクター制御信号を生成出力するタイマーと；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記セレクター制御信号をもとに前記複数のROMを選択し暗号化する回路データを取り込み、暗号アルゴリズムを指定する回路データを出力するセレクターと；

前記回路データを受けると前記回路変更通知信号を出力し、前記保持データの送出を停止し、前記回路データをもとに自己の内部の回路構成を変更し、変更が終了すると前記暗号／復号化データ保持部に前記保持データの送出を再開させるべく前記回路変更通知信号を停止し、前記保持データを入力し、変更した内部の回路構成によって暗号化を行い、暗号化した出力データを送出する可変処理回路と；

を有し、

前記受信装置は、

前記暗号化した出力データを入力保持し、回路変更通知信号を入力すると、保持していた前記入力データを保持データとして出力する暗号／復号化データ保持部と；

ある期間毎にセレクター制御信号を生成出力するタイマーと；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記セレクター制御信号をもとに前記複数のROMを選択し暗号化する回路データを取り込み、暗号アルゴリズムを指定する回路データを出力するセレクターと；

前記回路データを受けると前記回路変更通知信号を出力し、前記保持データの

送出を停止し、前記回路データをもとに自己の内部の回路構成を変更し、変更が終了すると前記暗号／復号化データ保持部に前記保持データの送出を再開させるべく前記回路変更通知信号を停止し、前記保持データを入力し、変更した内部の回路構成によって復号化を行い、復号化した出力データを送出する可変処理回路と；

を有することを特徴とする請求項3、4又は5記載の暗号復号化装置。

【請求項11】 前記複数のROMデータが、複数のハードウェア化されたデータ回路部からのデータであり、前記ランダム発生器が、ある期間毎にセレクター制御信号を生成出力するタイマーであり、前記セレクターが出力する回路データを第1の回路データとして前記FPGA回路データ生成部に出力し、このFPGA回路データ生成部が出力する第2の回路データを前記可変処理回路に出力することを特徴とする請求項8記載の暗号復号化装置。

【請求項12】 前記可変処理回路が、フィールド・プログラマブル・ゲートアレイ（FPGA）であることを特徴とする請求項3、4、5、6、7、8又は10記載の暗号復号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は暗号復号化装置に関し、特に暗号解読アルゴリズムを可変できる暗号復号化装置に関する。

【0002】

【従来の技術】

最近は、携帯電話など無線を利用した通信技術が急速に発達しており、盗聴などによる通信データの漏洩防止が課題となっている。このため、通信データに暗号化処理を行い伝送することが一般に行われるが、暗号化復号化装置による暗号化復号化は、暗号鍵と通信データを決められたアルゴリズムの演算を繰り返すことで実行されるので、演算回数を増やすことで解読難易度が向上するが、新たに処理能力が問題となる。また、マルチメディア機器の急速な普及に伴い、通信データ量が急激に増加し処理能力問題に拍車をかけているため、ほとんどの暗号化

復号化装置では、演算をハードウェアで行うことにより対応しているのが現状である。このため、暗号鍵を変更する場合ハードウェアの変更が必要となる。

【0003】

このような暗号化復号化技術の一例として、特開平5-110558号公報記載の「暗号処理装置」が知られている。

【0004】

この公報では、データを暗号化し、この暗号化したデータを復号化する処理プログラムの一部又は全部をEEPROMに格納し、暗号が解読された場合外部からの通信手段によりEEPROMのプログラムを一部又は全部を書き換える技術が記載されている。

【0005】

【発明が解決しようとする課題】

上述した従来の暗号復号化装置は、アルゴリズムの演算内容が漏洩または解読された場合に通信データは簡単に復号化されてしまうこと、常に同じアルゴリズムで演算を行っているために解読法が比較的短時間で見いだされるという欠点を有している。

【0006】

また、暗号解読のアルゴリズムの変更は、ハードウェアの作り直しが必要であり早急な対応ができないこと、外部からの通信手段を用いてプログラムの書き換えを行うと暗号解読プログラムデータ漏洩の危険性があるという欠点を有している。

【0007】

本発明の目的は、暗号化及び復号化の処理を全てハードウェアにより高速処理し、かつ暗号解読アルゴリズムのハードウェアの変更を可能とした暗号復号化装置を提供することにある。

【0008】

【課題を解決するための手段】

本発明の暗号復号化装置は、データの暗号化と暗号化データの複合化を行う暗号復号化装置において、暗号化復号化する回路を可変可能な回路装置を用い、前

記可変可能な回路装置の回路データを秘密鍵として暗号化複合化を行うことを特徴としている。

【0009】

前記可変可能な回路装置の回路データを複数個有し、暗号化複合化を行うための回路データ選択情報から、前記可変可能な回路装置の回路データを選択し供給することで異なるアルゴリズムの暗号化複合化を行うことを特徴としている。

【0010】

入力データを暗号化し暗号化データを出力する送信装置と、前記暗号化データを伝送するネットワーク網と、このネットワーク網を介して伝送されてきて前記暗号化データを入力し、暗号解読を行い復号化した出力データを出力する受信装置とを備え、

前記送信装置は暗号化する可変処理回路と、この可変処理回路に秘密鍵の回路データを出力するリード・オンリー・メモリ（ROM）とを有し、前記受信装置は復号化する可変処理回路と、この可変処理回路に秘密鍵の回路データを出力するリード・オンリー・メモリ（ROM）とを有していることを特徴としている。

【0011】

入力データを暗号化し暗号化データを出力する送信装置と、前記暗号化データを伝送するネットワーク網と、このネットワーク網を介して伝送されてきた前記暗号化データを入力し暗号解読を行い復号化した出力データを出力する受信装置とを備え、

前記送信装置は、

前記入力データを決められた指定通りに情報を解析し、デコードして書き換え情報を出力するデータ解析部と；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記書き換え情報の指示に従い前記複数のROMを選択し、選択したROMから暗号化する回路データを送出するセレクターと；

どのROMを選択するかにより暗号アルゴリズムを指定する前記回路データをもとに、自己の内部回路を書き換え、この内部回路の回路変更が完了すると終了通知信号を出力し、入力保持データを暗号化した暗号化データを前記ネットワー

ク網に送出する可変処理回路と；

前記終了通知信号を受け、それまで保持していた前記入力データを、暗号化する前記可変処理回路に前記入力保持データとして出力する暗号／復号化データ保持部と；

を有し、

前記受信装置は、

前記ネットワーク網から入力された前記暗号化データを決められた指定通りに情報を解析し、デコードして書き換え情報を出力するデータ解析部と；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記書き換え情報の指示に従い前記複数のROMを選択し、選択したROMから復号化する回路データを送出するセレクターと；

どのROMを選択するかにより暗号アルゴリズムを指定する前記回路データをもとに、暗号を復号化するため自己の内部回路を書き換え、この内部回路の回路変更が完了すると終了通知信号を出力し、入力保持データの暗号化データを復号化した復号出力データを送出する可変処理回路と；

前記終了通知信号を受け、それまで保持していた前記暗号化データを、復号化する前記可変処理回路に前記入力保持データとして出力する暗号／復号化データ保持部と；

を有することを特徴としている。

【0012】

入力データを暗号化し暗号化データを出力する送信装置と、前記暗号化データを伝送するネットワーク網と、このネットワーク網を介して伝送されてきた前記暗号化データを入力し暗号解読を行い復号化した出力データを出力する受信装置とを備え、

前記送信装置は、

前記入力データを決められた指定通りに情報を解析し、解析データを出力するデータ解析部と；

暗号アルゴリズムを指定する回路データを保持する複数のデータ回路部と；

前記データ解析部からの前記解析データをもとに選択信号を出力し、回路構成

を変更する第1の回路データを入力し、第2の回路データを生成出力するフィールド・プログラマブル・ゲートアレイ（Field Programmable Gate Array：以下FPGAと記す）回路データ生成部と；

前記選択信号の指示に従い、複数の回路データを選択し、選択した回路データから暗号化する前記第1の回路データを前記FPGA回路データ生成部に出力するセレクターと；

前記FPGA回路データ生成部が出力する前記第2の回路データをもとに、自己の内部回路を書き換え、この内部回路の回路変更が完了すると終了通知信号を出力し、入力保持データを暗号化した暗号化データを前記ネットワーク網に送出する可変処理回路と；

前記終了通知信号を受け、それまで保持していた前記入力データを新たに前記入力保持データとして前記可変処理回路に出力する暗号／復号化データ保持部と；

を有し、

前記受信装置は、

前記ネットワーク網から入力された前記暗号化データを決められた指定通りに情報を解析し、解析データを出力するデータ解析部と；

前記データ解析部からの前記解析データをもとに選択信号を出力し、回路構成を変更する第1の回路データを入力し、第2の回路データを生成出力するFPGA回路データ生成部と；

暗号アルゴリズムを指定する回路データを保持する複数のデータ回路部と；

前記選択信号の指示に従い、複数の回路データを選択し、選択した回路データから暗号を復号化する前記第1の回路データを前記FPGA回路データ生成部に出力するセレクターと；

前記FPGA回路データ生成部が出力する前記第2の回路データをもとに、暗号を復号化するため自己の内部回路を書き換え、この内部回路の回路変更が完了すると終了通知信号を出力し、入力保持データの暗号化データを復号化した復号出力データを送出する可変処理回路と；

前記終了通知信号を受け、それまで保持していた前記入力データを新たに前記

入力保持データとして前記可変処理回路に出力する暗号／復号化データ保持部と；
を有することを特徴としている。

【0013】

前記送信装置が、
前記入力データを入力保持し、終了通知信号を受けると保持していた前記入力データを保持データとして出力する暗号／復号化データ保持部と；
暗号アルゴリズムのデータを記憶するフラッシュROMと；
前記入力データを入力し、第1の回路データを前記フラッシュROMに出力し、この第1の回路データによりフラッシュROMのデータを書き換え、書き換え終了後前記フラッシュROMからの第2の回路データを入力し、自己の内部回路の変更を行い、この内部回路変更後に前記終了通知信号を前記暗号／復号化データ保持部に出力するとともに前記保持データを暗号化した出力データを出力する可変処理回路と；

を有し、

前記受信装置が、
前記暗号化した出力データを入力保持し、終了通知信号を受けると保持していた前記出力データを保持データとして出力する暗号／復号化データ保持部と；
暗号アルゴリズムのデータを記憶するフラッシュROMと；
前記暗号化した出力データを入力し、第1の回路データを前記フラッシュROMに出力し、この第1の回路データによりフラッシュROMのデータを書き換え、書き換え終了後前記フラッシュROMからの第2の回路データを入力し、自己の内部回路の変更を行い、この内部回路変更後に前記終了通知信号を前記暗号／復号化データ保持部に出力するとともに前記保持データの暗号を復号化した出力データを出力する可変処理回路と；
を有することを特徴としている。

【0014】

前記送信装置が、

前記入力データを入力し、回路データを生成出力する回路データ抽出部と；

前記入力データを回路変更終了まで保持し、終了通知信号を受けると、保持していた前記入力データを保持データとして送出する暗号／復号化データ保持部と；

前記回路データにより暗号化する回路変更を行い、回路変更後前記終了通知信号を前記暗号／復号化データ保持部に出力し、変更後の回路構成によって暗号化を行った出力データを出力する可変処理回路と；

を有し、

前記受信装置が、

前記暗号化を行った出力データを入力し、回路データを生成出力する回路データ抽出部と；

前記出力データを回路変更終了まで保持し、終了通知信号を受けると、保持していた前記暗号化を行った出力データを保持データとして送出する暗号／復号化データ保持部と；

前記回路データにより復号化する回路変更を行い、回路変更後前記終了通知信号を前記暗号／復号化データ保持部に出力し、変更後の回路構成によって復号化を行った出力データを出力する可変処理回路と；

を有することを特徴としている。

【0015】

前記送信装置が、

前記入力データを入力保持し、回路変更通知信号を入力すると、保持していた前記入力データを保持データとして出力する暗号／復号化データ保持部と；

暗号化コードを生成するランダム発生器と；

前記入力データが暗号化したいデータであるか復号化したいデータであるかを判定し、暗号化したいデータである場合は、前記ランダム発生器からのデータを有効にするように通知し、復号化したいデータである場合は、暗号鍵を有効にするように通知する解析データを出力するデータ解析部と；

前記解析データの通知に従い第1の回路データを生成出力するFPGA回路データ生成部と；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記第1の回路データをもとに前記複数のROMから回路データを取り込み、暗号アルゴリズムを指定する第2の回路データを出力するセレクターと；

前記第2の回路データを入力すると前記暗号／復号化データ保持部からの前記保持データの送出を止めるように前記回路変更通知信号を出力し、前記第2の回路データによって暗号化する自己の内部回路を変更し、変更が終了すると前記回路変更通知信号を停止し、再び前記保持データを送出させ、暗号化した出力データを出力する可変処理回路と；

を有し、

前記受信装置が、

前記暗号化した出力データを入力保持し、回路変更通知信号を入力すると、保持していた前記出力データを保持データとして出力する暗号／復号化データ保持部と；

暗号化コードを生成するランダム発生器と；

前記暗号化した出力データが暗号化したいデータであるか復号化したいデータであるかを判定し、暗号化したいデータである場合は、前記ランダム発生器からのデータを有効にするように通知し、復号化したいデータである場合は、暗号鍵を有効にするように通知する解析データを出力するデータ解析部と；

前記解析データの通知に従い第1の回路データを生成出力するFPGA回路データ生成部と；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記第1の回路データをもとに前記複数のROMから回路データを取り込み、暗号アルゴリズムを指定する第2の回路データを出力するセレクターと；

前記第2の回路データを入力すると前記暗号／復号化データ保持部からの前記保持データの送出を止めるように前記回路変更通知信号を出力し、前記第2の回路データによって復号化する自己の内部回路を変更し、変更が終了すると前記回路変更通知信号を停止し、再び前記保持データを送出させ、復号化した出力データを出力する可変処理回路と；

を有することを特徴としている。

【0016】

前記複数のROMデータが、複数のハードウェア化されたデータ回路からのデータであり、前記セレクターが outputする回路データを第1の回路データとして前記FPGA回路データ生成部に出力し、このFPGA回路データ生成部が出力する第2の回路データを前記可変処理回路に出力することを特徴としている。

【0017】

前記送信装置が、

前記入力データを入力保持し、回路変更通知信号を入力すると、保持していた前記入力データを保持データとして出力する暗号／復号化データ保持部と；

ある期間毎にセレクター制御信号を生成出力するタイマーと；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記セレクター制御信号をもとに前記複数のROMを選択し暗号化する回路データを取り込み、暗号アルゴリズムを指定する回路データを出力するセレクターと；

前記回路データを受けると前記回路変更通知信号を出力し、前記保持データの送出を停止し、前記回路データをもとに自己の内部の回路構成を変更し、変更が終了すると前記暗号／復号化データ保持部に前記保持データの送出を再開させるべく前記回路変更通知信号を停止し、前記保持データを入力し、変更した内部の回路構成によって暗号化を行い、暗号化した出力データを送出する可変処理回路と；

を有し、

前記受信装置は、

前記暗号化した出力データを入力保持し、回路変更通知信号を入力すると、保持していた前記入力データを保持データとして出力する暗号／復号化データ保持部と；

ある期間毎にセレクター制御信号を生成出力するタイマーと；

暗号アルゴリズムを指定する回路データを記憶する複数のROMと；

前記セレクター制御信号をもとに前記複数のROMを選択し暗号化する回路データを取り込み、暗号アルゴリズムを指定する回路データを出力するセレクターと；

前記回路データを受けると前記回路変更通知信号を出力し、前記保持データの送出を停止し、前記回路データをもとに自己の内部の回路構成を変更し、変更が終了すると前記暗号／復号化データ保持部に前記保持データの送出を再開させるべく前記回路変更通知信号を停止し、前記保持データを入力し、変更した内部の回路構成によって復号化を行い、復号化した出力データを送出する可変処理回路と；

を有することを特徴としている。

【0018】

前記複数のROMデータが、複数のハードウェア化されたデータ回路部からのデータであり、前記ランダム発生器が、ある期間毎にセレクター制御信号を生成出力するタイマーであり、前記セレクターが出力する回路データを第1の回路データとして前記FPGA回路データ生成部に出力し、このFPGA回路データ生成部が出力する第2の回路データを前記可変処理回路に出力することを特徴としている。

【0019】

また、前記可変処理回路が、フィールド・プログラマブル・ゲートアレイ（FPGA）であることを特徴としている。

【0020】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【0021】

図1は本発明の暗号復号化装置の一つの実施の形態を示すブロック図である。

【0022】

図1に示す本実施の形態は、入力データ101を暗号化し暗号化データ110を出力する送信装置102と、暗号化データ110を伝送するネットワーク網111と、このネットワーク網111を介して伝送されてきて暗号化データ113を入力し、暗号解読を行い復号化した出力データ112を出力する受信装置106とから構成されている。

【0023】

なお、送信装置102は暗号化する可変処理回路103と、この可変処理回路103に秘密鍵の回路データ105を出力するリード・オンリー・メモリであるROM104とを有し、受信装置106は復号化する可変処理回路107と、この可変処理回路107に秘密鍵の回路データ109を出力するリード・オンリー・メモリであるROM108とを有している。

【0024】

なお、上述の可変処理回路103、107は具体的な回路素子としてFPGA(Field Programmable Gate Array)が使用され、任意の回路構成がプログラムデータの変更により容易に実現できる。

【0025】

次に動作を説明する。

【0026】

入力データ101は可変処理回路103により暗号化され、この暗号化された暗号化データ110は一般的なネットワーク網111に供給される。受信装置106はネットワーク網111から暗号化データ113を入力する。暗号化データ113は、復号化のため可変処理回路107で復号化処理がなされ、出力データ112として出力される。

【0027】

なお、ROM104は秘密鍵を変更する場合に取り替えて、可変処理回路103の書き換えを行う。取り替えられたROM104から新しい暗号化アルゴリズムを生成する回路データ105が可変処理回路103に出力され、可変処理回路103の回路構成を変更することにより、入力データ101は新しい形式の暗号化データ110が出力される。新しい形式の暗号化データ110に対し、受信装置106の可変処理回路107も新しいROM108を用いて回路構成を変更し、新しい形式の暗号化データ113の復号化を行う。

【0028】

つまり、可変処理回路103、107の回路変更は取り替え可能なROM104、108が出力する回路データ105、109により行われる。

【0029】

上述の通り、送信装置102には、暗号化する可変処理回路103と回路データ105が記憶されているROM104とを有しており、送信装置102を起動させたとき、ROM104から回路データ105が暗号化する可変処理回路103へ送出される。回路データ105によって暗号化する可変処理回路103の回路構成が新しく形成され、入力データ101を順次暗号化する可変処理回路103となる。この暗号化する可変処理回路103によって暗号化された暗号化データ110は、ネットワーク網111に送出される。

【0030】

受信装置106も同様に復号化する可変処理回路107と回路データ109が記憶されているROM108とを有しており、受信装置106を起動させたとき、ROM108から回路データ109が復号化する可変処理回路107へ送出される。回路データ109によって復号化する可変処理回路107の回路構成が新しく形成され、暗号化データ113を順次復号化する可変処理回路107となる。この可変処理回路107により、ネットワーク網111から受信した暗号化データ113を復号化し、出力データ112を生成出力する。

【0031】

ROM104、ROM108は、秘密鍵を変更する場合に取り替えて、暗号化する可変処理回路103、復号化する可変処理回路107の書き換えデータを各自生成する。こうして生成された回路データ105、109は暗号化する可変処理回路103、復号化する可変処理回路107に出力され、回路構成を変更することにより新しい形式の暗号化および復号化に対応することになる。

【0032】

図2は本発明の暗号復号化装置の一例を示す詳細ブロック図である。

【0033】

なお、図2において図1に示す構成要素に対応するものは同一の参照数字または符号を付し、その説明を省略する。

【0034】

図2を参照すると、入力データ202を暗号化し暗号化データ211を出力する送信装置201と、暗号化データ211を伝送するネットワーク網111と、

このネットワーク網111を介して伝送されてきて暗号化データ213を入力し、暗号解読を行い復号化した出力データ214を出力する受信装置201aとから構成されている。

【0035】

なお、送信装置201に入力する入力データ202は、決められた指定に従い書き換え情報が付隨した信号である。

【0036】

入力データ202は、データ解析部203と暗号／復号化データ保持部204に出力される。データ解析部203では、決められた指定通りに情報を解析し、デコードして書き換え情報216をセレクター205に出力する。セレクター205は、書き換え情報216の指示に従いROM206, 206a, 206b, 206nを選択し、暗号化する可変処理回路207に回路データ208を送出する。暗号化する可変処理回路207では、回路データ208をもとに、暗号化する可変処理回路207の内部回路を書き換え、どのROMを選択するかにより暗号アルゴリズムを選択することができる。暗号化する可変処理回路207で回路変更が完了すると、可変処理回路207は終了通知信号209を暗号／復号化データ保持部204に出力する。終了通知信号209を受けた暗号／復号化データ保持部204は、それまで保持していた入力データ202を暗号化する可変処理回路207に入力保持データ210として出力する。こうして、可変処理回路207は入力データ202の暗号化を行い、暗号化データ211をネットワーク網111に送出する。

【0037】

ネットワーク網111から入力された暗号化データ213は、データ解析部203aと暗号／復号化データ保持部204aに送出される。データ解析部203aでは、決められた指定通りに情報を解析し、デコードして書き換え情報216aをセレクター205aに出力する。セレクター205aは、書き換え情報216aの指示に従いROM215, 215a, 215b, 215nを選択し、復号化する可変処理回路207aに回路データ208aを出力する。復号化する可変処理回路207aでは、回路データ208aをもとに暗号を復号化する可変処理

回路207aの内部回路を書き換える。復号化する可変処理回路207aで回路変更が完了すると、終了通知信号209aを暗号／復号化データ保持部204aに出力する。終了通知信号209aを受けた暗号／復号化データ保持部204aは、それまで保持していた暗号化データ213を復号化する可変処理回路207aに入力保持データ210aとして出力する。かくして、可変処理回路207aは暗号化データ213の復号化を行い出力データ214を出力する。

【0038】

図3は図2の動作を示すタイムチャートである。

【0039】

次に、図2および図3を参照して本実施の形態の動作をより詳細に説明する。

【0040】

入力データ202はヘッダ情報と暗号化するデータ信号とからなり、データ解析部203は入力データ202から書き換え情報216を抽出すると、書き換え情報216のデータをデコードしてセレクター205を制御する。

【0041】

これによって、ROM206, 206a, 206b, 206nのデータを切り替え、回路データ208を生成する。ROMのデータを切り換えると同時に可変処理回路207に書き換え信号を生成し、暗号化する可変処理回路207は可変処理回路207の書き換え信号の立ち上がりで初期化する。暗号化する可変処理回路207は回路データ208をもとに回路を変更し、変更が終わると終了通知信号209を出力する。終了通知信号209を受けるまで暗号／復号化データ保持部204では入力データ202を保持し、この保持していた保持データ210を入力された順に暗号化する可変処理回路207に送出する。暗号化する可変処理回路207により保持データ210の暗号化の処理を行い暗号化データ211を生成出力する。

【0042】

図4は図2の全体動作を示すフローチャートである。

【0043】

入力データ202を受けると暗号／復号化動作を行う（ステップ1：S1）。

【0044】

ステップ2 (S2) で書き換え情報216, 216a受信の判定を行い、書き換え情報216, 216aを受信するまではステップ1に戻り、暗号／復号化動作を繰り返す。ステップ2で書き換え情報を受信すると、受信した書き換え情報216, 216aに対してデコードする（ステップ3：S3）。

【0045】

次にセレクター205, 205aの制御を行い、暗号／復号化する可変処理回路207, 207aに書き換え信号を送出し、また暗号／復号化データ保持部204, 204aにデータの保持を開始させる（ステップ4：S4）。その後、セレクター205, 205aによって選択された回路データを暗号／復号化する可変処理回路207, 207aに送出する（ステップ5：S5）。次のステップ6（S6）で暗号／復号化する可変処理回路207, 207aの書き換えが完了したかの判断を行い、完了していない場合ステップ1（S1）に戻り、完了している場合ステップ7（S7）に進み終了通知信号209, 209aを生成し、暗号／復号化する可変処理回路207, 207aの書き換え信号をリセットする。また、暗号／復号化データ保持部204, 204aで保持していた信号を暗号／復号化する可変処理回路207, 207aにデータを送出開始する（ステップ8：S8）。

【0046】

上述の通り、回路データ208, 208aを秘密鍵としているので、回路データをもった送受信機のみ解読可能な暗号通信が可能となる。従ってセキュリティの向上を図ることができる。さらに、複数のROMデータが設けられているので、通信毎に暗号鍵を変更できることになる。この結果、一つのデータを複数の回路構成によって暗号化することができる。秘密鍵が回路データとなっているので、万一秘密鍵が漏れても同様の回路構成を作る事が困難であるため、より高度な暗号回路が構成できることになる。

【0047】

図5は本発明の暗号復号化装置の第2の実施の形態を示す詳細ブロック図である。

【0048】

なお、図5において図2に示す構成要素に対応するものは同一の参照数字または符号を付し、その説明を省略する。

【0049】

図5を参照すると、入力データ303を暗号化し暗号化データ314を出力する送信装置302と、暗号化データ314を伝送するネットワーク網111と、このネットワーク網111を介して伝送されてきて暗号化データ315を入力し、暗号解読を行い復号化した出力データ316を出力する受信装置302aとから構成されている。

【0050】

送信装置302に入力する入力データ303は、決められた指定に従い書き換え情報が付随した送受信信号である。入力データ303は、データ解析部304と暗号／復号化データ保持部305に送出される。データ解析部304では、決められた指定通りに情報を解析し、解析データ317をFPGA回路データ生成部306に送出する。FPGAは既述の通り、Field Programmable Gate Arrayの素子で、FPGA回路データ生成部306は可変処理回路301の回路構成を変更する回路データを生成する。

【0051】

FPGA回路データ生成部306では、データ解析部304からの解析データ317をもとに選択信号308をセレクター309に出力し、データ回路部307, 307a, 307b, 307nを選択する。選択信号308により、書き換え情報の要求通りに組み合わせた回路データ310をFPGA回路データ生成部306に出力する。

【0052】

暗号化する可変処理回路301では、FPGA回路データ生成部306が出力する回路データ311をもとに回路を変更する。可変処理回路301で回路変更が終了すると、終了通知信号312を暗号／復号化データ保持部305に出力する。終了通知信号312を受けた暗号／復号化データ保持部305は、入力データ303を新たに入力保持データ313として頭から可変処理回路301に送出

する。入力保持データ313を受信した可変処理回路301は、書き換えた回路によって暗号化を行う。こうして、可変処理回路301は暗号化を行い暗号化データ314をネットワーク網111に送出する。

【0053】

ネットワーク網111から入力された暗号化データ315は、データ解析部304aと暗号／復号化データ保持部305aに送出される。データ解析部304aでは、決められた指定通りに情報を解析し、解析データ317aをFPGA回路データ生成部306aに送出する。FPGA回路データ生成部306aでは、データ解析部304aからの解析データ317aをもとに選択信号308aをセレクター309aに送り、データ回路部316, 316a, 316b, 316nを選択する。選択信号308aにより、書き換え情報の要求通りに組み合わせた回路データ310aをFPGA回路データ生成部306aに出力する。復号化する可変処理回路301aでは、FPGA回路データ生成部306aが出力する回路データ311aをもとに回路を変更する。可変処理回路301aで回路変更が終了すると、終了通知信号312aを暗号／復号化データ保持部305aに出力する。終了通知信号312aを受けた暗号／復号化データ保持部305aは、入力データ303aを新たに入力保持データ313aとして頭から可変処理回路301aに送出する。入力保持データ313aを受信した可変処理回路301aは、書き換えた回路によって復号化を行う。かくして、可変処理回路301aは復号化を行い出力データ316を出力する。

【0054】

上述の通り本第2の実施の形態はROM回路からのROMデータとは異なり、複数個用意されたデータ回路部307, 307a, 307b, 307nを書き換え情報に従って組み合わせ、一つの回路構成を形成するようにしたものである。

【0055】

送信装置302に入力する入力データ303は、決められた指定に従い書き換え情報を付随した信号であり、入力データ303は、データ解析部304と暗号／復号化データ保持部305に送出される。データ解析部304では、決められた指定通りに情報を解析し、解析データ317をFPGA回路データ生成部306aに送出する。FPGA回路データ生成部306aでは、データ解析部304からの解析データ317をもとに選択信号308aをセレクター309aに送り、データ回路部316, 316a, 316b, 316nを選択する。選択信号308aにより、書き換え情報の要求通りに組み合わせた回路データ310aをFPGA回路データ生成部306aに出力する。可変処理回路301aでは、FPGA回路データ生成部306aが出力する回路データ311aをもとに回路を変更する。可変処理回路301aで回路変更が終了すると、終了通知信号312aを暗号／復号化データ保持部305aに出力する。終了通知信号312aを受けた暗号／復号化データ保持部305aは、入力データ303aを新たに入力保持データ313aとして頭から可変処理回路301aに送出する。入力保持データ313aを受信した可変処理回路301aは、書き換えた回路によって復号化を行う。かくして、可変処理回路301aは復号化を行い出力データ316を出力する。

6に送出する。FPGA回路データ生成部306では、データ解析部304からの解析データ317をもとにデータ回路部307, 307a, 307b, 307nを任意に選択する。選択信号308をセレクター309に送り、回路データ310を書き換え情報の要求通りに組み合わせて、可変処理回路301のデータの生成を行う。暗号化する可変処理回路301では、その組み合わせて作り出された回路データ311をもとに回路を変更する。暗号化する可変処理回路301で回路変更が終了すると、終了通知信号312を暗号／復号化データ保持部305に出力する。終了通知信号312を受けた暗号／復号化データ保持部305は、入力データ303を暗号化する可変処理回路301に頭から送出する。入力保持データ313を受信した暗号化する可変処理回路301は、書き換えた回路によって暗号復号化を行う。これにより、データの数の組み合わせ分だけの暗号復号化の回路構成を生成できる。

【0056】

図6は本発明の暗号復号化装置の第3の実施の形態を示すブロック図である。

【0057】

なお、ここでは暗号化を行う送信装置と暗号の復号化を行う受信装置とを、ネットワーク網111を介して分離した表示にせずに、一つのブロックとして暗号／復号化として一括表示にして説明の簡略化を図る。送信装置は暗号化、受信装置は復号化として暗号／復号化を読み替えるものとする。

【0058】

図6を参照すると、暗号復号化装置401に入力する入力データ402を暗号／復号化する可変処理回路403に入力し、同時に暗号／復号化データ保持部404に保持しておく。暗号／復号化する可変処理回路403によって、回路データ405を抽出し、FLASH ROM406を書き換える。FLASH ROM406の書き換えが終了したら、暗号／復号化する可変処理回路403をリセットしFLASH ROM406に書き込まれた回路データ407を読み出し可変処理回路403の内部回路を変更する。暗号／復号化する可変処理回路403の内部回路が生成完了したら、暗号／復号化データ保持部404に終了通知信号408を送出する。暗号／復号化データ保持回路404で保持しておいた保持デ

ータ409を暗号／復号化する可変処理回路403を通して、暗号復号化を行った出力データ410を送出する。

【0059】

このように、本形態では多数の暗号アルゴリズムを決定する回路データにより変更できることになる。

【0060】

図7は本発明の暗号復号化装置の第4の実施の形態を示すブロック図である。

【0061】

なお、ここでは暗号化を行う送信装置と暗号の復号化を行う受信装置とを、ネットワーク網111を介して分離した表示にせずに、一つのブロックとして暗号／復号化として一括表示にして説明の簡略化を図る。送信装置は暗号化、受信装置は復号化として暗号／復号化を読み替えるものとする。

【0062】

図7を参照すると、暗号復号化装置501に入力する入力データ502を、回路データ抽出部503で予め定めておいたフォーマットに従って抽出し、回路データ504を生成する。この回路データ504により、暗号／復号化する可変処理回路505の回路変更を行う。入力データ502は、暗号／復号化データ保持部506に回路変更終了まで保持しておき、暗号／復号化データ保持部506が終了通知信号507を受けると、暗号／復号化する可変処理回路505へ保持していた保持データ509を送出し、暗号／復号化する可変処理回路505の新しい回路構成によって暗号復号化を行い出力データ508を出力する。

【0063】

図8は本発明の暗号復号化装置の第5の実施の形態を示すブロック図である。

【0064】

なお、ここでは暗号化を行う送信装置と暗号の復号化を行う受信装置とを、ネットワーク網111を介して分離した表示にせずに、一つのブロックとして暗号／復号化として一括表示にして説明の簡略化を図る。送信装置は暗号化、受信装置は復号化として暗号／復号化を読み替えるものとする。

【0065】

図8を参照すると、暗号復号化装置601に入力する入力データ602は、暗号／復号化データ保持部603に一度保持される。データ解析部604では、入力された入力データ602が暗号化したいデータであるか復号化したいデータであるかを判定する。データ解析部604は暗号化したいデータである場合は、ランダム発生器606からのデータを有効にするようにFPGA回路データ生成部605に通知し、復号化したいデータである場合は、データ解析部604で抽出した暗号鍵を有効にするようにFPGA回路データ生成部605に通知すると共に抽出した暗号鍵を送出する。FPGA回路データ生成部605では、データ解析部604からの解析データ614の通知に従い可変処理回路610のための回路データ615を生成する。ランダム発生器606からの信号を有効にして可変処理回路610の回路データ609を生成する場合は、ランダム発生器606からの信号を取り込み、そのデータをもとにセレクター607を制御し、ROM608, 608a, 608b, 608nから回路データを取り込み、回路データを組み合わせて回路データ609を生成する。回路データ609を受信した可変処理回路610は、暗号／復号化データ保持部603からの保持データ611の送出を止めるように回路変更通知信号612を出力し、回路データ609によって暗号／復号化する可変処理回路610の内部の構成を変更する。変更が終了すると回路変更通知信号612を停止し、再び暗号／復号化データ保持部603からの保持データ611を送出してもらう。新しい回路構成となった暗号／復号化する可変処理回路610は暗号復号化を行い、出力データ613を送出する。

【0066】

上述の通り、書き換え情報の生成をランダム発生器606に任せることでシステムへの負荷の軽減を図ったものである。

【0067】

図9は本発明の暗号復号化装置の第6の実施の形態を示すブロック図である。

【0068】

なお、ここでは暗号化を行う送信装置と暗号の復号化を行う受信装置とを、ネットワーク網111を介して分離した表示にせずに、一つのブロックとして暗号／復号化として一括表示にして説明の簡略化を図る。送信装置は暗号化、受信装

置は復号化として暗号／復号化を読み替えるものとする。

【0069】

図9を参照すると、暗号復号化装置701に入力する入力データ702は、暗号／復号化データ保持部703に一旦収納される。データ解析部704では、入力された入力データ702が暗号化したいデータであるか復号化したいデータであるかを判定する。暗号化したいデータである場合は、ランダム発生器706からのデータを有効にするようにFPGA回路データ生成部705に通知し、復号化したいデータである場合は、データ解析部704で抽出した暗号鍵を有効にするようにFPGA回路データ生成部705に通知すると共に抽出した暗号鍵を送出する。FPGA回路データ生成部705では、データ解析部704からの解析データ714の通知に従いFPGAの回路データを生成する。ランダム発生器706からの信号を有効にしてFPGAの回路データを生成する場合は、ランダム発生器706からの信号を取り込み、そのデータをもとにセレクター707を制御し、データ回路部708, 708a, 708b, 708nから回路データ715を取り込み、回路データ715を組み合わせて回路データ709を生成する。回路データ709を受信した可変処理回路710は、暗号／復号化データ保持部703からの保持データ711の送出を止めるように回路変更通知信号712によって連絡し、FPGA用回路データ709によって暗号／復号化する可変処理回路710の内部の構成を変更する。変更が終了すると回路変更通知信号712を停止し、再び暗号／復号化データ保持部703からの保持データ711を送出してもらい、新しい回路構成となった暗号／復号化する可変処理回路710は暗号復号化を行い、出力データ713を送出する。これにより、よりハードウェア化されるため、システムでの負荷を最小限に抑えられると同時により多くの暗号鍵を備えることになる。

【0070】

図10は本発明の暗号復号化装置の第7の実施の形態を示すブロック図である。

【0071】

なお、ここでは暗号化を行う送信装置と暗号の復号化を行う受信装置とを、ネ

ットワーク網111を介して分離した表示にせずに、一つのブロックとして暗号／復号化として一括表示にして説明の簡略化を図る。送信装置は暗号化、受信装置は復号化として暗号／復号化を読み替えるものとする。

【0072】

図10を参照すると、暗号復号化装置801に入力する入力データ802は、暗号／復号化データ保持部803に一度保持される。暗号／復号化データ保持部803では、暗号／復号化する可変処理回路804からの回路変更通知信号805によって出力を停止されている場合を除いて、常に暗号／復号化する可変処理回路804へ保持データ806を送出する。暗号／復号化する可変処理回路804では、暗号／復号化データ保持部803からの保持データ806を内部の回路構成によって暗号復号化を行い出力データ807を送出する。タイマー808は、ある期間毎にセレクター809を制御するセレクター制御信号812を生成する。セレクター809では、タイマー808からのセレクター制御信号812をもとにROM810, 810a, 810b, 810nを選択し、暗号／復号化する可変処理回路804に回路データ811を送出する。回路データ811を受けた暗号／復号化する可変処理回路804は、一旦出力データ807の生成を止め、回路変更通知信号805を暗号／復号化データ保持部803に送り、保持データ806の送出を停止させる。暗号／復号化する可変処理回路804は、回路データ811をもとに内部の回路構成を変更し、変更が終了すると暗号／復号化データ保持部803に保持データ806の送出を再開させるべく、回路変更通知信号805を止めて保持データ806を入力する。暗号／復号化する可変処理回路804は、変更した内部の回路構成によって暗号復号化を行い、出力データ807を送出する。これにより、暗号解読のキーワードを全く送出しなくなるため、第三者による暗号解読がより困難になる。

【0073】

送受信側に同期を取ったタイマーを備えることでより機密性の高いを構成している。

【0074】

図11は本発明の暗号復号化装置の第8の実施の形態を示すブロック図である

【0075】

なお、ここでは暗号化を行う送信装置と暗号の復号化を行う受信装置とを、ネットワーク網111を介して分離した表示にせずに、一つのブロックとして暗号／復号化として一括表示にして説明の簡略化を図る。送信装置は暗号化、受信装置は復号化として暗号／復号化を読み替えるものとする。

【0076】

図11を参照すると、暗号復号化装置901に入力する入力データ902は、暗号／復号化データ保持部903に一度保持される。暗号／復号化データ保持部903では、暗号／復号化する可変処理回路904からの回路変更通知信号905によって出力を停止されている場合を除いて、常に暗号／復号化する可変処理回路904へ保持データ906を送出する。暗号／復号化する可変処理回路904では、暗号／復号化データ保持部903からの保持データ906を内部の回路構成によって暗号復号化を行い出力データ907を送出する。

【0077】

タイマー908は、ある期間毎にFPGA回路データ生成部909に信号を送出する。FPGA回路データ生成部909では、タイマー908から受けた信号情報をもとに、セレクター910を制御し、選択されたデータ回路部911, 911a, 911b, 911nを取り込み、取り込んだ回路データ912を組み合わせ可変処理回路904の回路データ913を生成し、生成した回路データ913を暗号／復号化する可変処理回路904に送出する。回路データ913を入力した暗号／復号化する可変処理回路904は、一度出力データ907の生成を止め、回路変更通知信号905を暗号／復号化データ保持部903に送り、出力データ907の送出を停止させ、暗号／復号化する可変処理回路904は、回路データ913をもとに内部の回路構成を変更し、変更が終了すると暗号／復号化データ保持部903に保持データ906の送出を再開させる。回路変更通知信号905を止めて、保持データ906を入力する。暗号／復号化する可変処理回路904は、変更した内部の回路構成によって暗号復号化を行い、出力データ907を送出する。これにより、より機密性の高く、より柔軟性のある回路構成となる

ため、第三者による暗号解読は困難になる。

【0078】

図12は本発明の暗号復号化装置を利用したシステムブロック図である。

【0079】

図12を参照すると、親局1の秘密鍵管理部2から、定期的に暗号／復号化するFPGA変更用のデータを子局3, 4へ送出する。子局3, 4側では、前回までの回路データを元にした可変処理回路5, 6によって、回路データ7, 8を認識し、FLASH ROM9, 10に書き込む。親局1側で更新通知を子局3, 4全てに送出し、その通知が来るとFLASH ROM9, 10に蓄えてあった回路データ7, 8をもとに、子局3, 4が一斉に暗号／復号化する可変処理回路5, 6の回路構成を変更する。暗号／復号化する可変処理回路5, 6は新しい秘密鍵によって通信の運用を行えるようになる。回路データ7, 8は、通常の通信中に少しずつ送出しておくとともに、通常はダミービット扱いの信号としてFLASH ROM9, 10内部を徐々に変更しておく。

【0080】

図13は可変処理回路による暗号復号化装置の一例を示すブロック図である。

【0081】

図13を参照にすると、暗号復号化装置11は、入力データ12を回路データ抽出部13、回路データ保持部14、暗号／復号化部15の全てに入力されている。回路データ抽出部13では、入力データ12を保持し、内部情報を解析し回路データ17を抽出する。抽出した回路データ17を、回路データ保持部14が保持しておき、回路データ18として暗号／復号化部15に送出する。暗号／復号化部15では、回路データ保持部14からの回路データ18をもとに内部回路構成を変更する。変更が終了すると、回路データ抽出部13で蓄えていた入力データ12の暗号復号化の処理を行い、出力データ16を生成出力する。

【0082】

なお、FLASH ROMを用いているが、この部分に可変処理回路を並べるという技術思想を用いても得られる。

【0083】

つまり本装置のFLASH ROM部にFPGAとしての可変処理回路を用い、また回路構成抽出部自身にもFPGAを使用している。従って、各FPGAの回路構成を全て解読できなければ第三者が解読できないという作用が得られる。図13において、暗号復号化装置11は、3つのFPGAとして回路データ抽出部13、回路データ保持部14、暗号／復号化部15を持つ。入力される入力データ12は、回路データ抽出部13、回路データ保持部14、暗号／復号化部15の全てのFPGAに入力される。回路データ抽出部13では、回路情報の抽出を行う。回路データ保持部14では、抽出した回路データ17を保持しておく。暗号／復号化部15では、回路データ保持部14からの回路データ18によって回路構成を変更する。

【0084】

変更が完了すると、回路データ抽出部13へ終了通知信号19を出力する。終了通知信号19を受信した回路データ抽出部13は、保持していた保持データ20を暗号／復号化部15に送出する。暗号／復号化部15では、新しい回路構成で暗号復号化し、データを送出する。これにより、暗号解読のためには、様々な要素を持つことになる。

【0085】

本形態では、相互に回路データ抽出部を備えているので、一つのFPGAの回路変更がうまくいかなかった、あるいは、故障してしまっても他のFPGAで書き換えを可能にするという相乗的な効果を奏する。

【0086】

本実施例のFPGAはFPGA搭載の特定用途向け集積回路であるASIC (Application Specific Integrated Circuit) に変更してもよい。さらに、複雑な回路構成をASICで実現できれば、より気密性の高いデータ転送に有効である。

【0087】

【発明の効果】

以上説明したように、本発明の暗号復号化装置は、可変処理回路の回路データが可変できるので、処理能力を落とすことなく暗号アルゴリズムの演算を変更す

することができるという効果を有している。

【0088】

また、可変処理回路の回路データの変換アルゴリズムを非公開とすることにより難解な解読度が実現可能となり、暗号解読プログラムデータの漏洩を防ぐことができるという効果を有している。

【図面の簡単な説明】

【図1】

本発明の暗号復号化装置の一つの実施の形態を示すブロック図である。

【図2】

本発明の暗号復号化装置の一例を示す詳細ブロック図である。

【図3】

図2の動作を示すタイムチャートである。

【図4】

図2の全体動作を示すフローチャートである。

【図5】

本発明の暗号復号化装置の第2の実施の形態を示す詳細ブロック図である。

【図6】

本発明の暗号復号化装置の第3の実施の形態を示すブロック図である。

【図7】

本発明の暗号復号化装置の第4の実施の形態を示すブロック図である。

【図8】

本発明の暗号復号化装置の第5の実施の形態を示すブロック図である。

【図9】

本発明の暗号復号化装置の第6の実施の形態を示すブロック図である。

【図10】

本発明の暗号復号化装置の第7の実施の形態を示すブロック図である。

【図11】

本発明の暗号復号化装置の第8の実施の形態を示すブロック図である。

【図12】

本発明の暗号復号化装置を利用したシステムブロック図である。

【図13】

可変処理回路による暗号復号化装置の一例を示すブロック図である。

【符号の説明】

- 1 親局
- 2 秘密鍵管理部
- 3, 4 子局
- 5, 6 可変処理回路
- 7, 8 回路データ
- 9, 10 FLASH ROM
- 11 暗号復号化装置
- 12 入力データ
- 13 回路データ抽出部
- 14 回路データ保持部
- 15 暗号／復号化部
- 16 出力データ
- 17, 18 回路データ
- 19 終了通知信号
- 20 保持データ
- 101 入力データ
- 102 送信装置
- 103, 107 可変処理回路
- 104, 108 ROM
- 105, 109 回路データ
- 106 受信装置
- 110 暗号化データ
- 111 ネットワーク網
- 112 出力データ
- 113 暗号化データ

201 送信装置
201a 受信装置
202 入力データ
203, 203a データ解析部
204, 204a 暗号/復号化データ保持部
205, 205a セレクター
206, 206a, 206b, 206n ROM
207, 207a 可変処理回路
208, 208a 回路データ
209, 209a 終了通知信号
210, 210a 入力保持データ
211 暗号化データ
213 暗号化データ
214 出力データ
215, 215a, 215b, 215n ROM
216, 216a 書き換え情報
301, 301a 可変処理回路
302 送信装置
302a 受信装置
303 入力データ
304, 304a データ解析部
305, 305a 暗号/復号化データ保持部
306, 306a FPGA回路データ生成部
307, 307a, 307b, 307n データ回路部
308, 308a 選択信号
309, 309a セレクター
310, 310a 回路データ
311, 311a 回路データ
312, 312a 終了通知信号

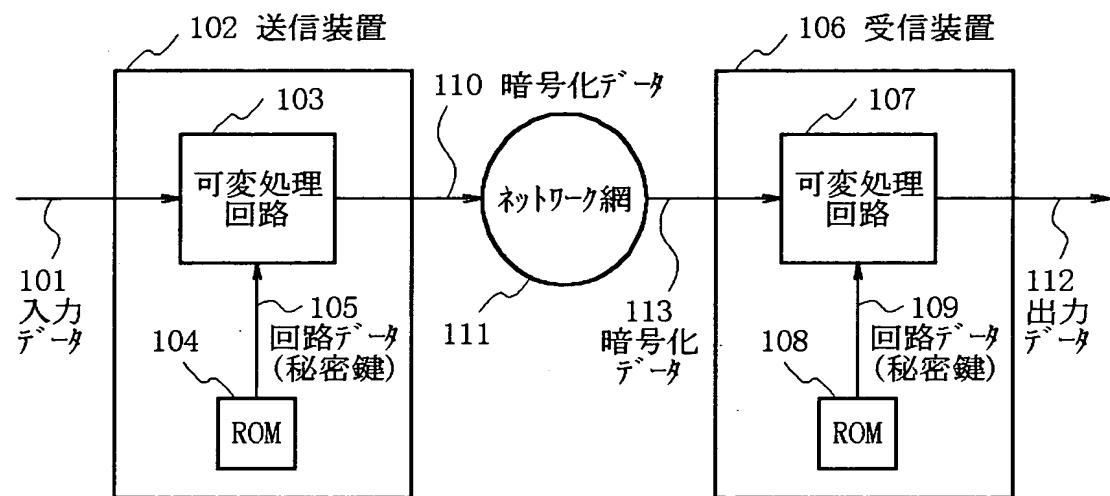
313, 313a 入力保持データ
314, 315 暗号化データ
316, 316a, 316b, 316n データ回路部
317, 317a 解析データ
401 暗号復号化装置
402 入力データ
403 可変処理回路
404 暗号／復号化データ保持部
405 回路データ
406 F L A S H R O M
407 回路データ
408 終了通知信号
409 保持データ
410 出力データ
501 暗号復号化装置
502 入力データ
503 回路データ抽出部
504 回路データ
505 可変処理回路
506 暗号／復号化データ保持部
507 終了通知信号
508 出力データ
509 保持データ
601 暗号復号化装置
602 入力データ
603 暗号／復号化データ保持部
604 データ解析部
605 F P G A回路データ生成部
606 ランダム発生器

607 セレクター
608, 608a, 608b, 608n ROM
609 回路データ
610 可変処理回路
611 保持データ
612 回路変更通知信号
613 出力データ
614 解析データ
615 回路データ
701 暗号復号化装置
702 入力データ
703 暗号／復号化データ保持部
704 データ解析部
705 F P G A 回路データ生成部
706 ランダム発生器
707 セレクター
708, 708a, 708b, 708n データ回路部
709 回路データ
710 可変処理回路
711 保持データ
712 回路変更通知信号
713 出力データ
714 解析データ
715 回路データ
801 暗号復号化装置
802 入力データ
803 暗号／復号化データ保持部
804 可変処理回路
805 回路変更通知信号

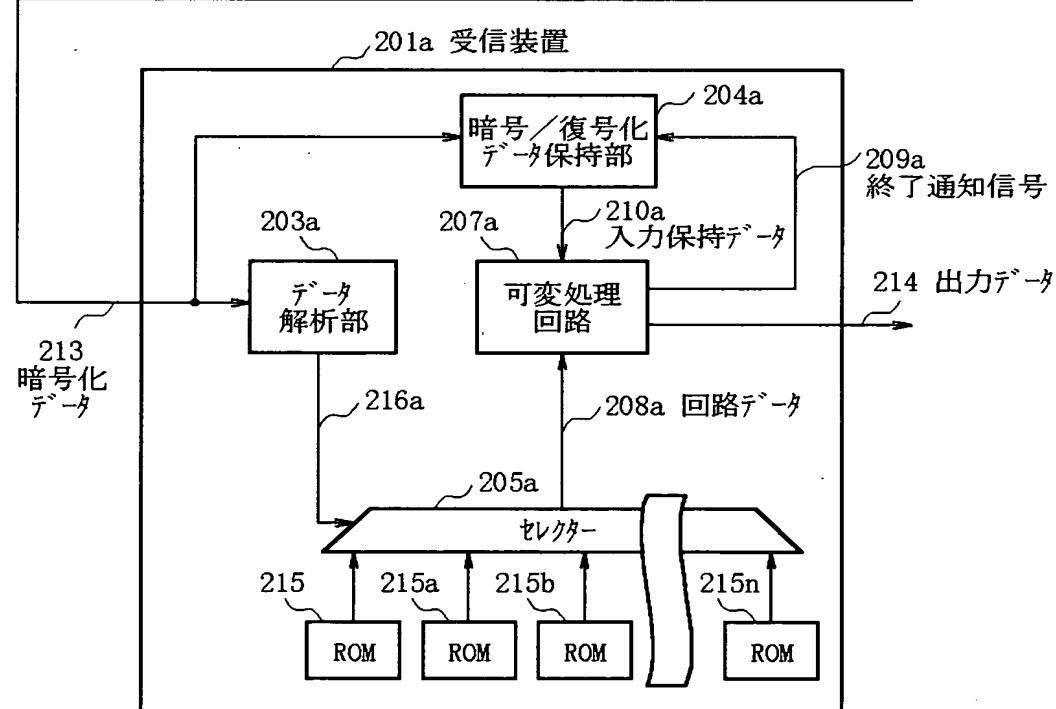
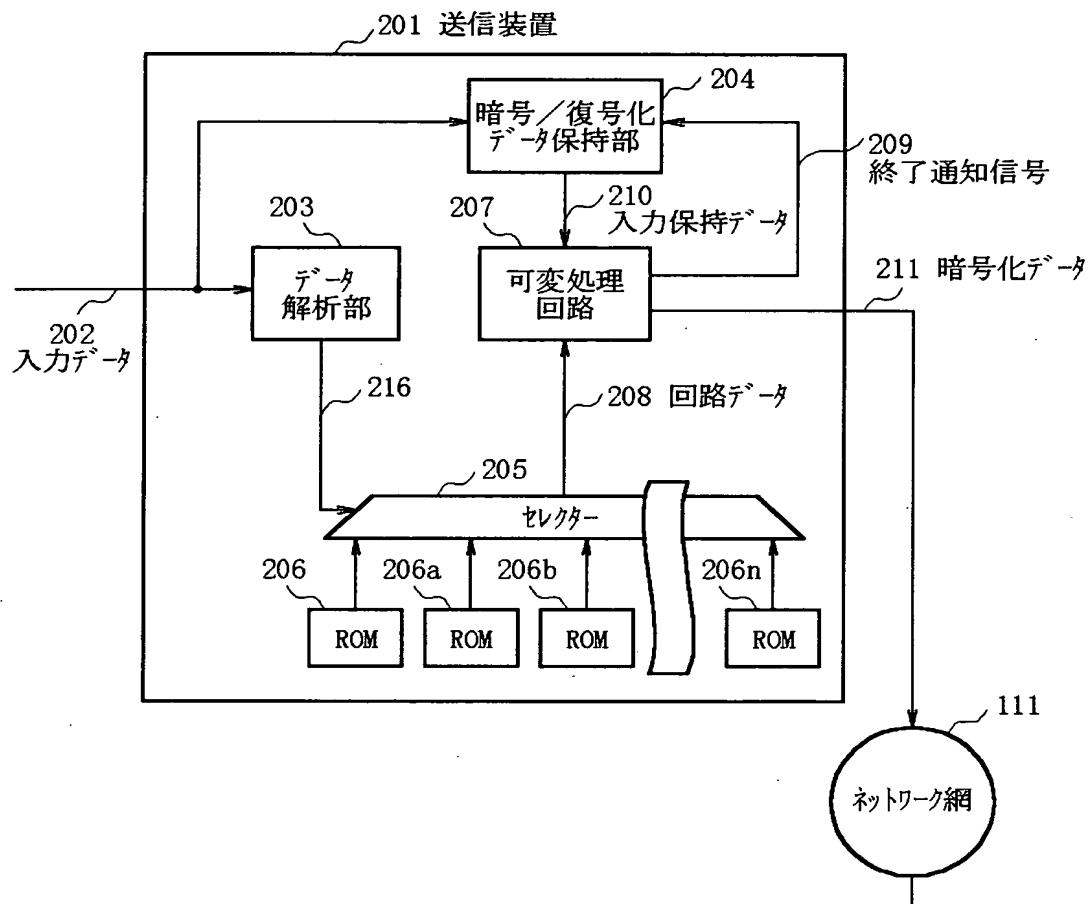
806 保持データ
807 出力データ
808 タイマー
809 セレクター
810, 810a, 810b, 810n ROM
811 回路データ
812 セレクター制御信号
901 暗号復号化装置
902 入力データ
903 暗号／復号化データ保持部
904 可変処理回路
905 回路変更通知信号
906 保持データ
907 出力データ
908 タイマー
909 F P G A回路データ生成部
910 セレクター
911, 911a, 911b, 911n データ回路部
912 回路データ
913 回路データ

【書類名】 図面

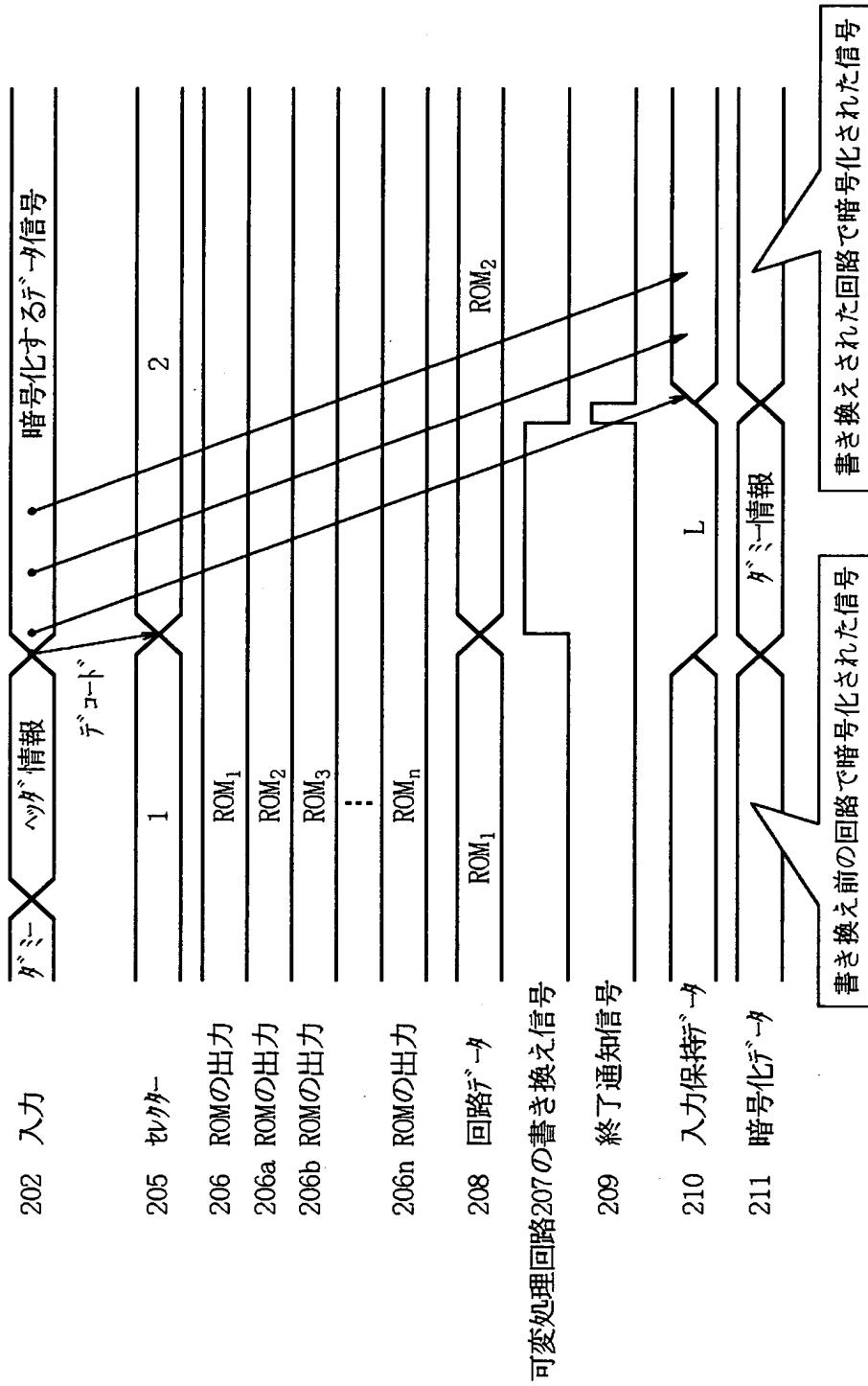
【図1】



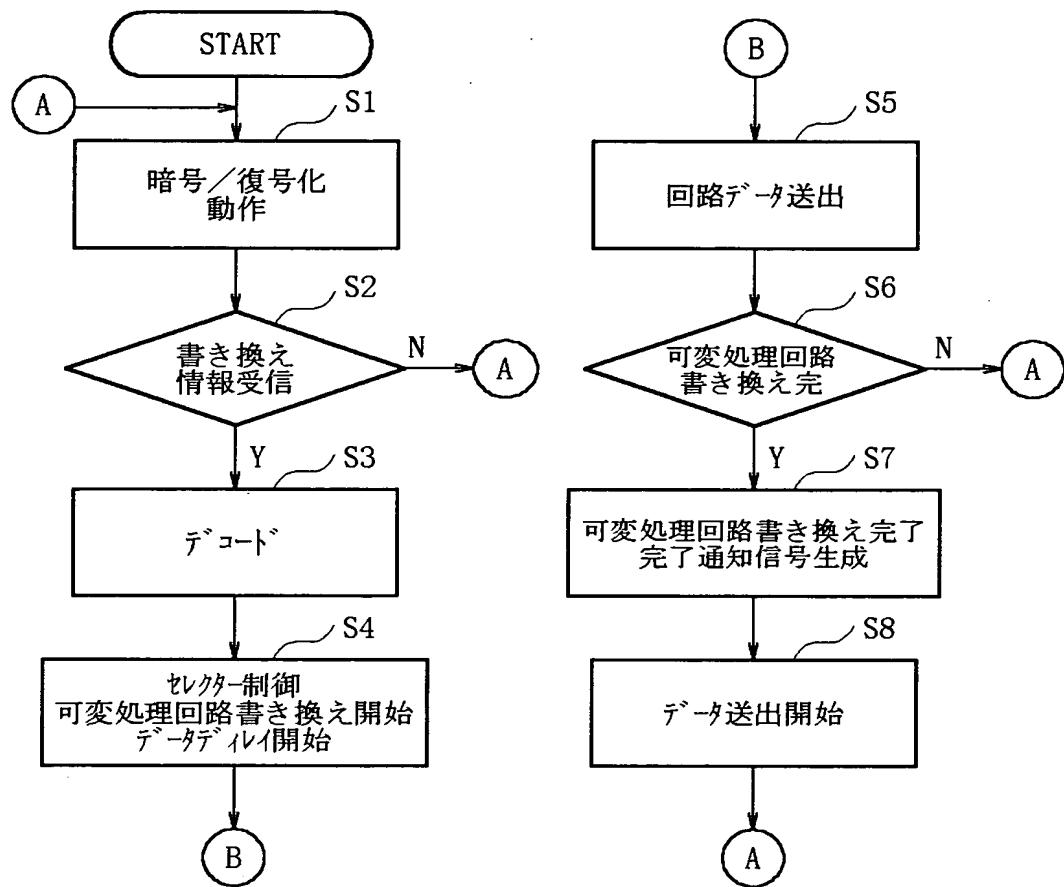
【図2】



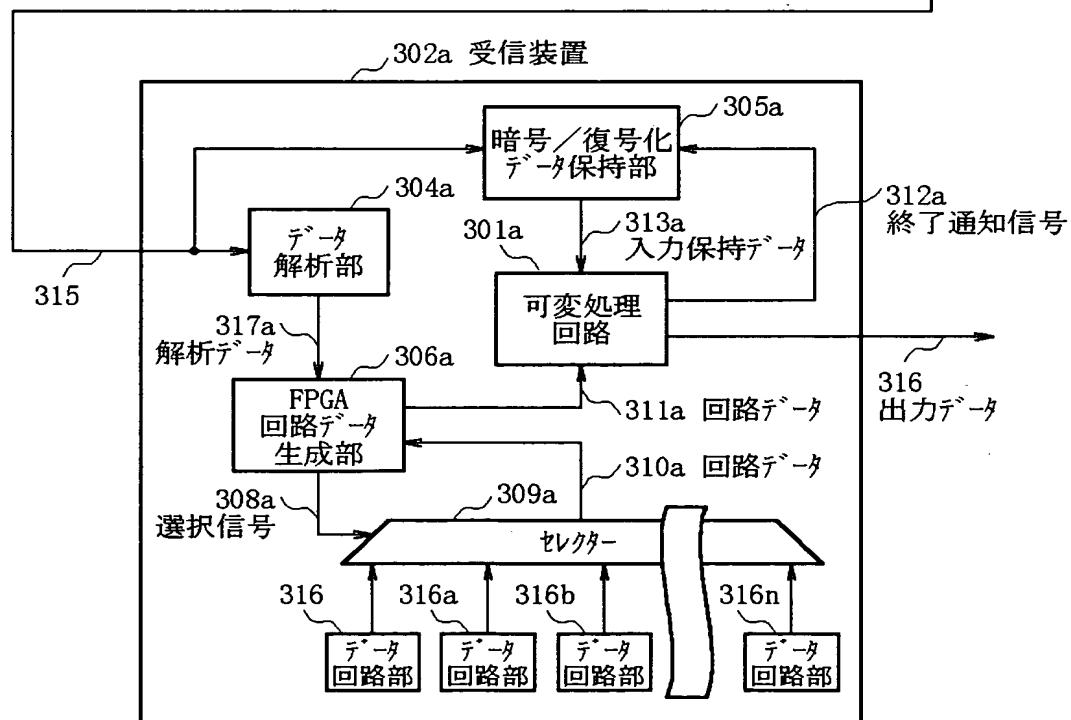
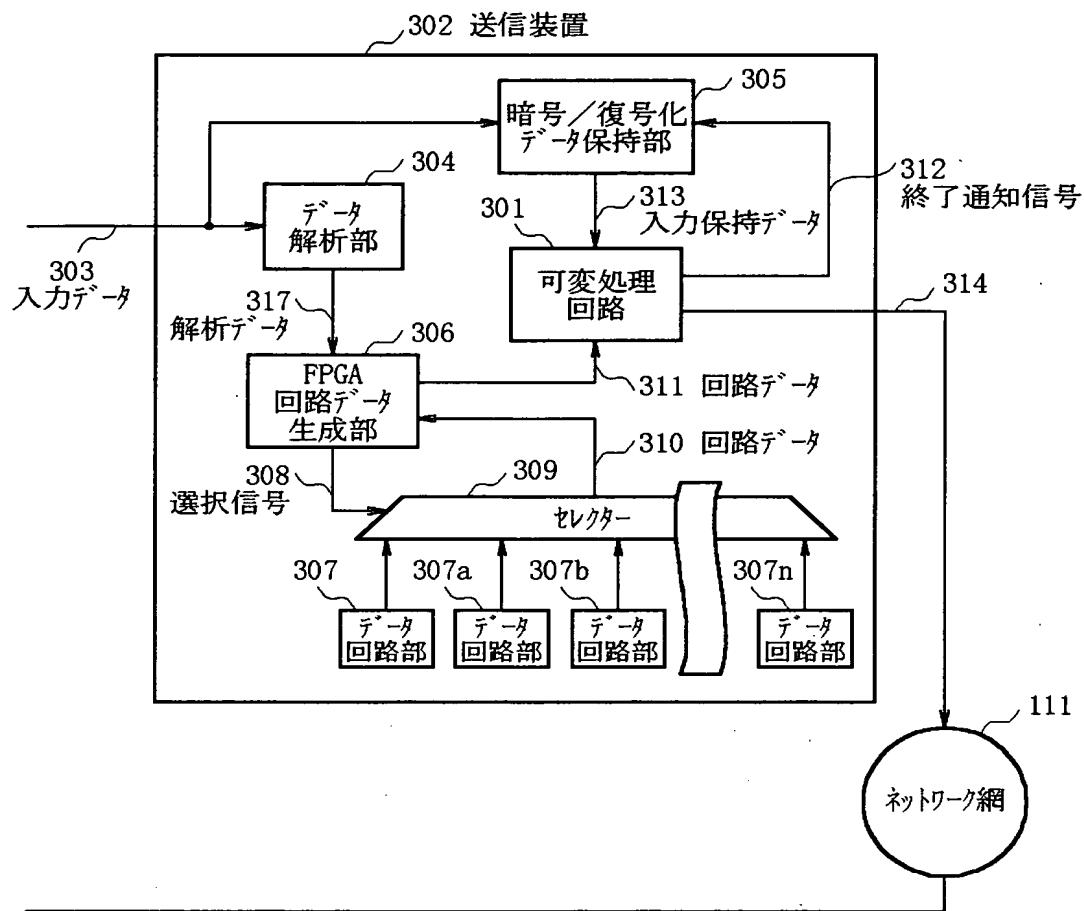
【図3】



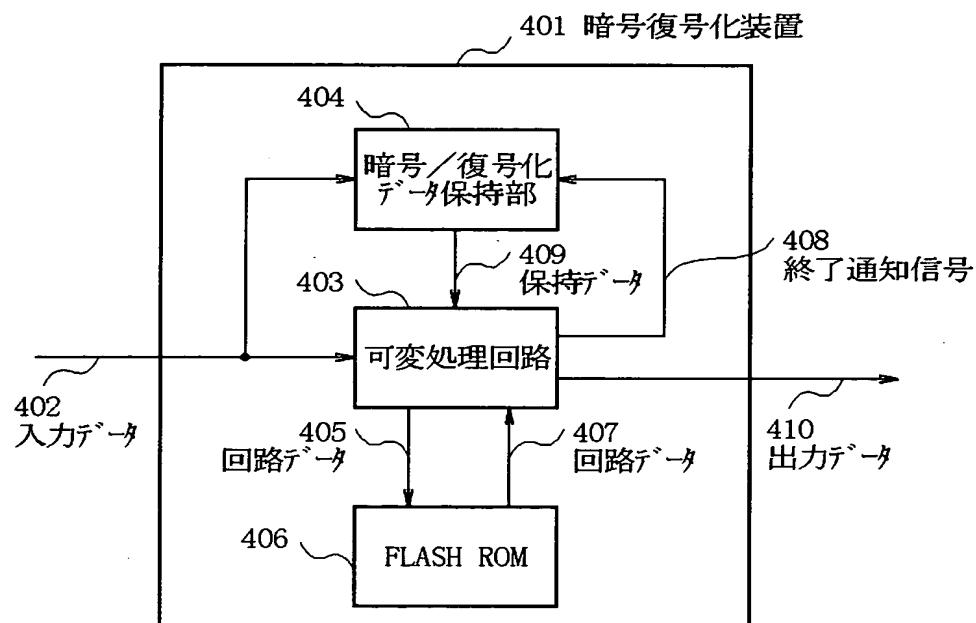
【図4】



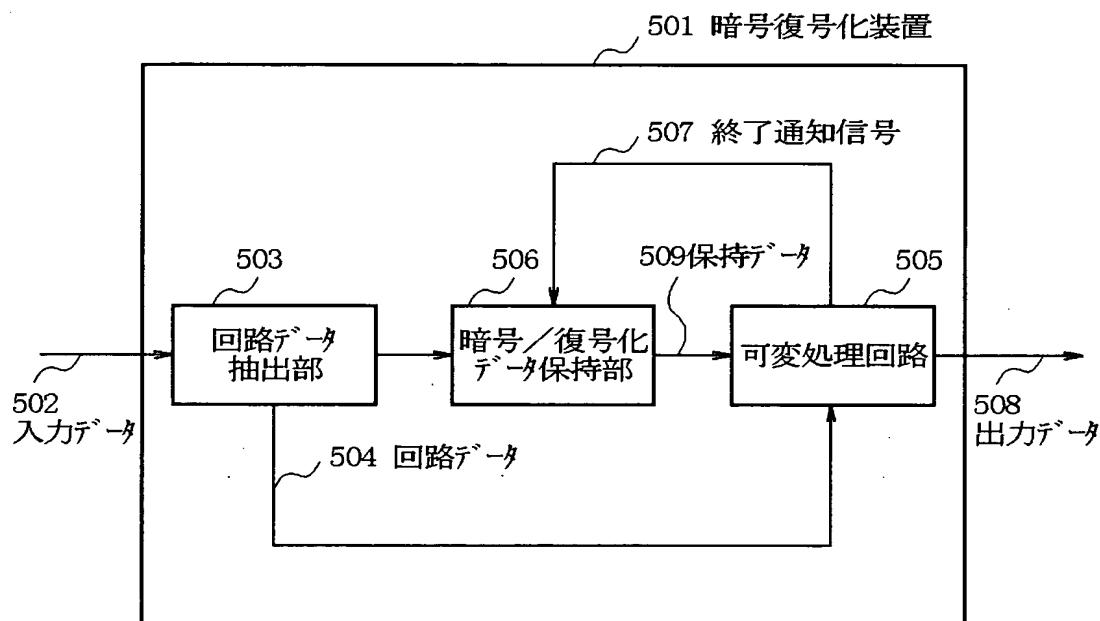
【図5】



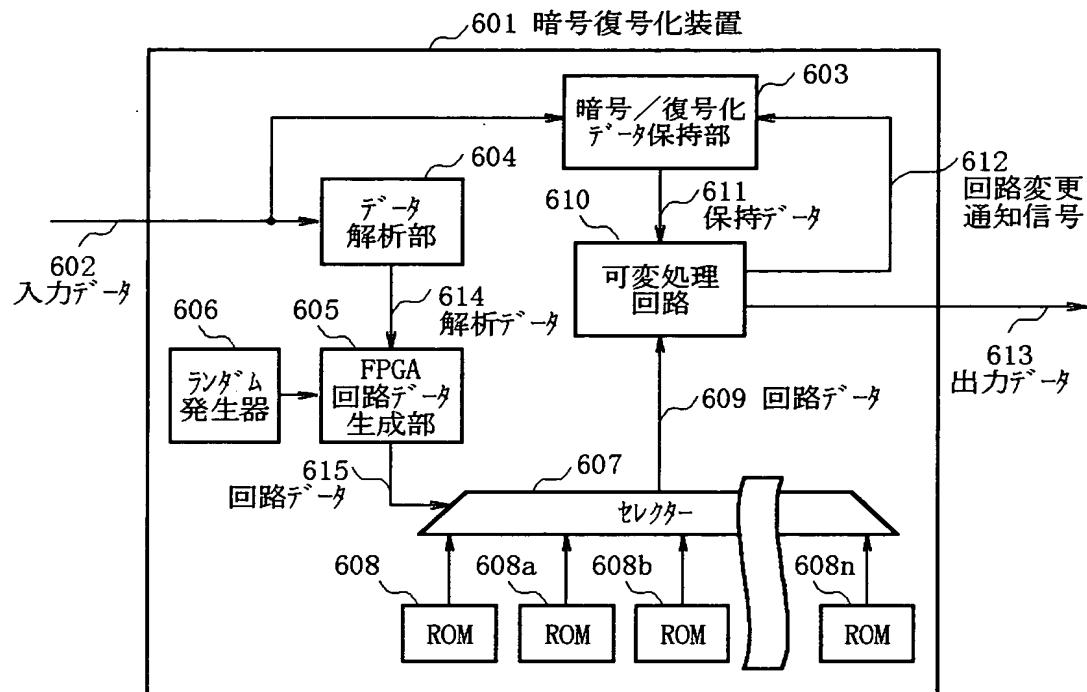
【図6】



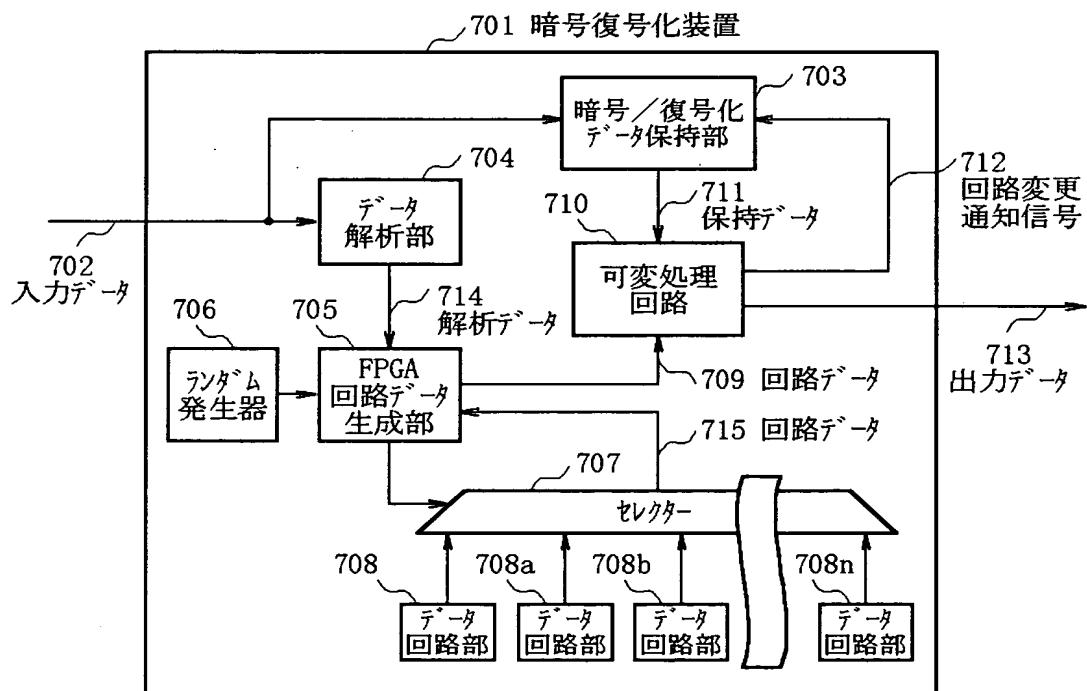
【図7】



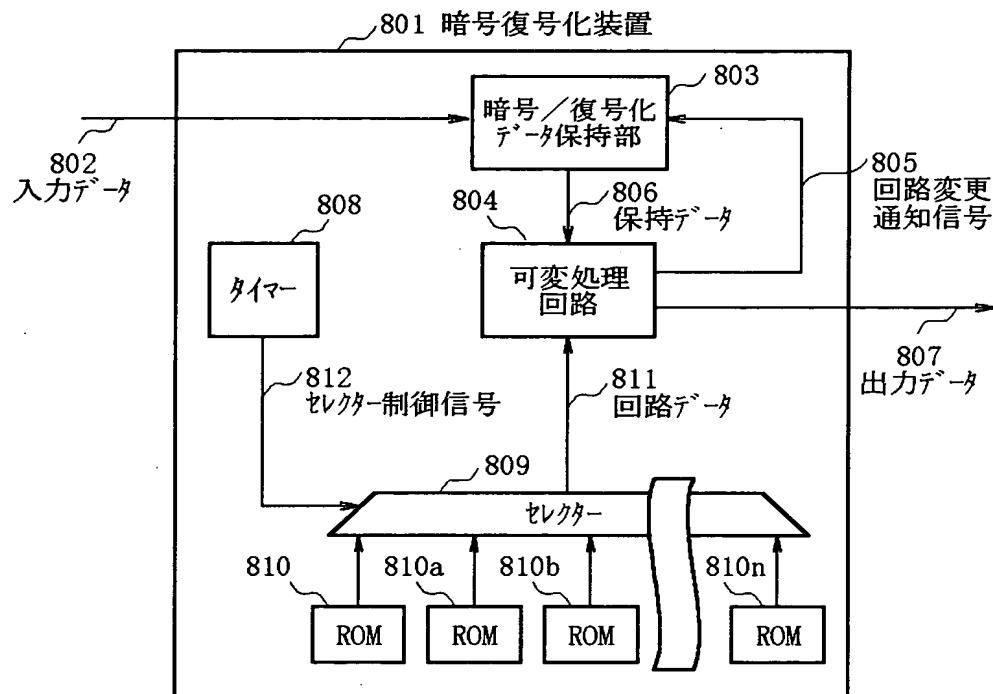
【図8】



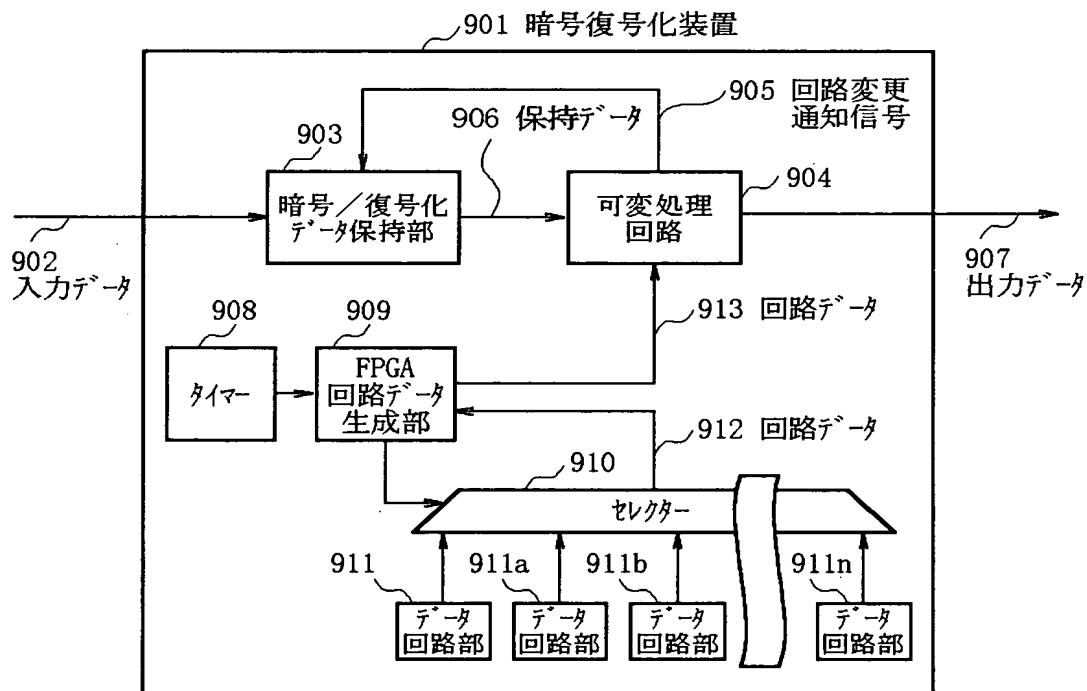
【図9】



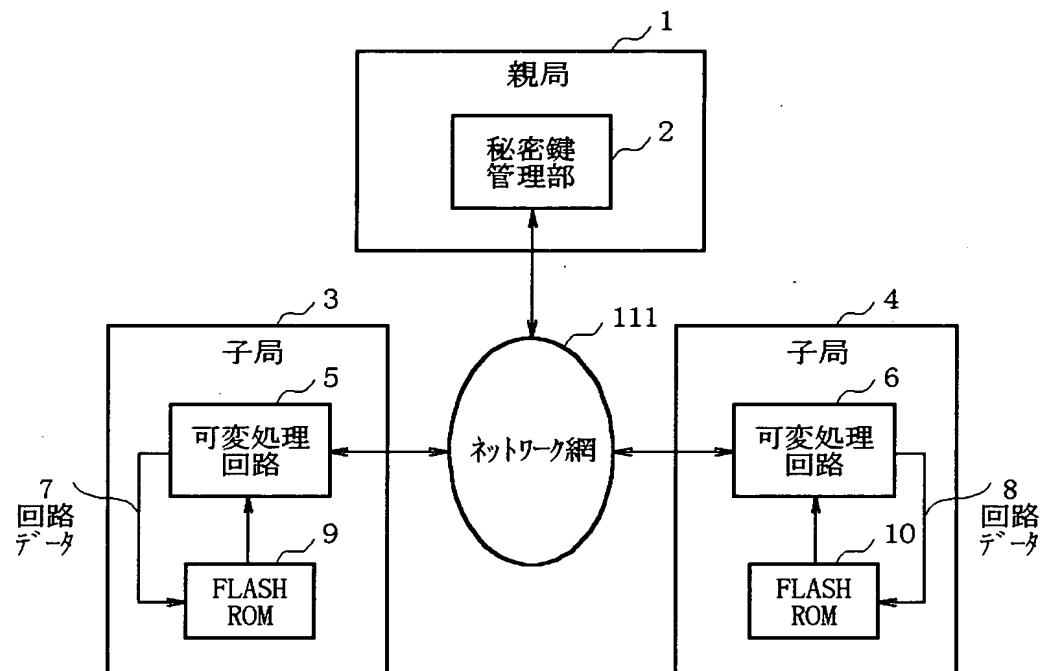
【図10】



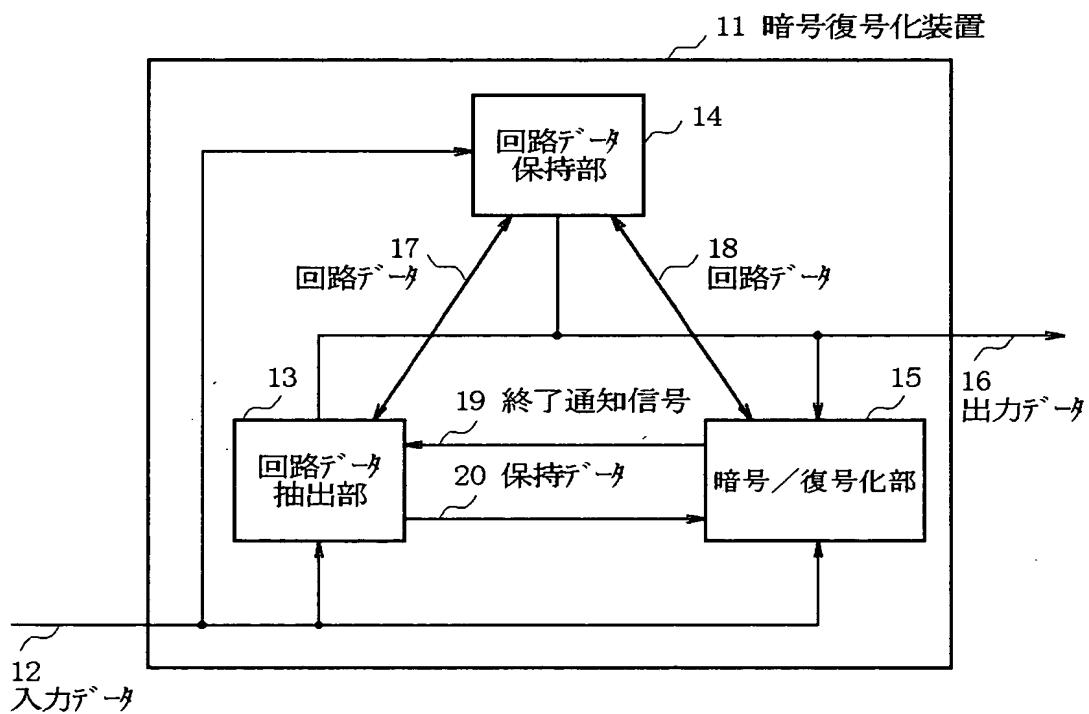
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 暗号復号化方法のアルゴリズム変更に伴うハードウェア変更を可能とし、暗号復号の高速処理を図る。

【解決手段】 送信装置102は入力データ101を暗号化し暗号化データ110を出力する。ネットワーク網111は暗号化データ110を伝送する。受信装置106はネットワーク網111を介して伝送されてきて暗号化データ113を入力し、暗号解読を行い復号化した出力データ112を出力する。

可変処理回路103は入力データ101暗号化する。ROM104は秘密鍵の回路データ105を可変処理回路103に出力する。可変処理回路107は暗号化データ113を復号する。ROM108は秘密鍵の回路データ109を可変処理回路107に出力する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-118269
受付番号	50000495314
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年 4月20日

＜認定情報・付加情報＞

【提出日】 平成12年 4月19日

次頁無

出願人履歴情報

識別番号 [000232254]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都港区三田1丁目4番28号

氏 名 日本電気通信システム株式会社